

[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)

Generate Collection

L1: Entry 11 of 15

File: JPAB

Mar 14, 2000

PUB-NO: JP02000077986A

DOCUMENT-IDENTIFIER: JP 2000077986 A

TITLE: SEQUENTIAL CIRCUIT USING FERROELECTRIC AND SEMICONDUCTOR DEVICE USING THE CIRCUIT

PUBN-DATE: March 14, 2000

INVENTOR-INFORMATION:

NAME

COUNTRY

TAKASU, HIDESHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

ROHM CO LTD

APPL-NO: JP10247991

APPL-DATE: September 2, 1998

INT-CL (IPC): H03 K 3/356; H03 K 19/0948

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a nonvolatile sequential circuit or the like which can hold the data despite the cut-off of its power supply.

SOLUTION: At an inverter circuit part INV1, a pair of transistors (TR) constructing a conventional CMOS inverter are replaced with the TR NT and PT of MFMIS structures. A ferroelectric layer 32 of the TR NT holds a polarization state corresponding to an ON state and the layer 32 of the TR PT holds a polarization state corresponding to an OFF state respectively even when the power supply of a semiconductor device is cut. When the power supply is applied again, both TR NT and PT are turned on and off respectively according to the polarization states held by each layer 32. Thus, the part INV1 is reset in a state that is held before the power supply is cut when the power supply is applied again.

COPYRIGHT: (C) 2000, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-77986

(P2000-77986A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 3 K 3/356		H 0 3 K 3/356	Z 5 J 0 3 4
19/0948		19/094	B 5 J 0 5 6

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願平10-247991

(22) 出願日 平成10年9月2日 (1998.9.2)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 高須 秀規

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

(74) 代理人 100092956

弁理士 古谷 栄男 (外3名)

Fターム (参考) 5J034 AB15 CB01 DB03 DB04 DB07

DB08

5J056 AA03 BB00 CC00 CC14 DD01

DD13 DD29 EE07 FF01 FF07

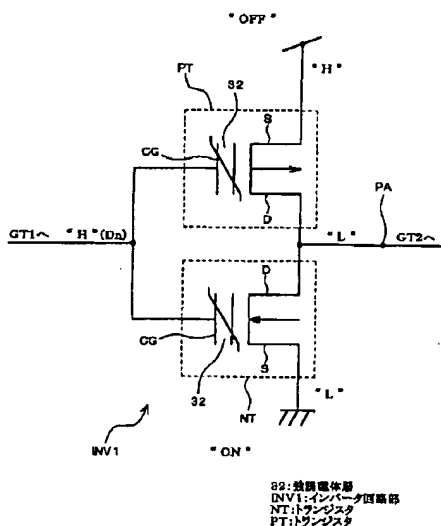
FF08 GG14

(54) 【発明の名称】 強誘電体を用いた順序回路およびこれを用いた半導体装置

(57) 【要約】

【課題】 電源が遮断されてもデータを保持することができる不揮発性の順序回路等を提供する。

【解決手段】 インバータ回路部 INV1 は、従来の CMOS インバータを構成する一対のトランジスタを、MFMIS 構造のトランジスタ NT、PT に置換したものである。装置の電源が遮断されても、トランジスタ NT の強誘電体層 32 は ON 状態に対応した分極状態を保持しており、トランジスタ PT の強誘電体層 32 は OFF 状態に対応した分極状態を保持している。電源を再投入すると、トランジスタ NT、PT は、それぞれの強誘電体層 32 が保持していた分極状態にしたがって、トランジスタ NT を ON 状態にするとともに、トランジスタ PT を OFF 状態にする。したがって、電源の再投入により、インバータ回路部 INV1 は、電源遮断前の状態に復帰する。



【特許請求の範囲】

【請求項1】ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに保持された当該データに対応した信号を出力データとして出力するよう構成した順序回路であって、

ゲート部の出力端に結合され、当該出力端に現れる信号に対応した分極状態を保持する強誘電体記憶部を備えたこと、

を特徴とする、強誘電体を用いた順序回路。

【請求項2】請求項1の順序回路において、前記強誘電体記憶部として、少なくとも一つのトランジスタを強誘電体トランジスタとした相補型金属酸化物半導体インバータ回路を用い、

前記ゲート部の出力端に当該インバータ回路の入力端を結合し、当該インバータ回路の出力端に現れる信号に対応した信号を出力データとして出力するよう構成したこと、

を特徴とするもの。

【請求項3】請求項1ないし請求項2のいずれかの順序回路において、帰還回路を備え、当該帰還回路を介して出力データに対応する信号を前記ゲート部の出力端に帰還させ得るよう構成したこと、

を特徴とするもの。

【請求項4】請求項3の順序回路において、前記帰還回路として、相補型金属酸化物半導体インバータ回路を用いたこと、を特徴とするもの。

【請求項5】請求項4の順序回路において、前記帰還回路として用いる相補型金属酸化物半導体インバータ回路を構成する少なくともひとつのトランジスタを、強誘電体トランジスタとしたこと、

を特徴とするもの。

【請求項6】請求項2または請求項5のいずれかの順序回路において、

前記強誘電体トランジスタは、

A) 半導体基板に形成された第1導電型のソース領域およびドレイン領域、

B) ソース領域とドレイン領域との間に配置された第2導電型のチャンネル形成領域、

C) チャンネル形成領域の上に配置された絶縁層、

D) 前記絶縁層の上に配置された第1の導電体層、

E) 前記第1の導電体層の上に形成された強誘電体層、

F) 強誘電体層の上に形成された第2の導電体層、

を有すること、

を特徴とするもの。

【請求項7】ゲート制御信号にしたがってデータを継断するゲート部を備え、ゲート部が継状態のときに、入力

データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路を直列に2つ結合した構成を有する順序回路であって、

結合した2つの順序回路のうち少なくとも一方の順序回路が、請求項1ないし請求項6のいずれかの順序回路であり、

10 入力側の順序回路の出力データを出力側の順序回路の入力データとして出力側の順序回路のゲート部に与え、入力側の順序回路のゲート部を制御するゲート制御信号と出力側の順序回路のゲート部を制御するゲート制御信号とが逆位相となるようにしたこと、

を特徴とする、強誘電体を用いた順序回路。

【請求項8】Pチャネル金属酸化物半導体電界効果型トランジスタとNチャネル金属酸化物半導体電界効果型トランジスタとを直列に接続した構成を有する相補型金属酸化物半導体インバータ回路において、

20 前記トランジスタのうち少なくとも一つを強誘電体トランジスタとしたことを特徴とするインバータ回路。

【請求項9】請求項1ないし請求項7または請求項8のいずれかの回路を用いたこと、を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は順序回路等に関し、特に強誘電体を用いた順序回路等に関する。

【0002】

30 【従来の技術】ラッチ回路やフリップフロップ回路などの順序回路が知られている。図14に、従来の順序回路の一例として、フリップフロップ回路2を示す。図15は、図14に示すフリップフロップ回路2の動作を示すタイミングチャートである。フリップフロップ回路2は、ラッチ回路4（マスターラッチ回路）とラッチ回路6（スレーブラッチ回路）とを直列に接続して構成されている。なお、図15のPAは、ラッチ回路4の出力信号、すなわち、図14のPA点の信号を表す。

【0003】クロックパルスCpが“H”から“L”になると（図15、(a)参照）、ラッチ回路4がラッチ状態となるとともにラッチ回路6がアンラッチ状態となる。したがって、クロックパルスCpの立ち下がり時のデータDn（現在のデータ）に対応するデータ（PA点の信号は、データDnを反転した値になっている）がラッチ回路4にラッチされるとともに、出力Qには、当該データDnが出力される。

【0004】つぎに、クロックパルスCpが“L”から“H”になると（図15、(b)参照）、ラッチ回路4がアンラッチ状態となるとともにラッチ回路6がラッチ状態となる。したがって、データDnがラッチ回路6

にラッチされるとともに、出力Qには、やはり当該データDnが出力される。

【0005】つぎに、クロックパルスCpが“H”から“L”になると(図15、(c)参照)、再び、ラッチ回路4がラッチ状態となるとともにラッチ回路6がアンラッチ状態となる。したがって、クロックパルスCpの立ち下がり時のデータDn+1(つぎのデータ)に対応するデータ(PA点の信号は、データDnを反転した値になっている)がラッチ回路4にラッチされるとともに、出力Qには、当該データDn+1が出力される。

【0006】このように、フリップフロップ回路2を用いると、クロックパルスCpの立ち下がりタイミングでデータをラッチし、クロックパルスCpの1サイクルに相当する時間の間、ラッチした当該データを出力することができる。このため、データからノイズを除去して、安定した出力を得ることができる。

【0007】したがって、このようなフリップフロップ回路2などの順序回路と、論理ゲートなどの組合せ回路とを多数組合せて用いることで、信頼性の高いシーケンス処理などを行なうことができる。

【0008】

【発明が解決しようとする課題】しかしながら、上記のような従来のフリップフロップ回路2などの順序回路には、次のような問題点があった。従来の順序回路においては、処理中のデータを保持するために、回路に常に電圧を印加しておかなければならない。

【0009】したがって、シーケンス処理の途中において事故などにより電源が遮断された場合、電源が回復しても、事故直前のデータは残っておらず、当該シーケンス処理を事故直前の状態に戻すには、改めてシーケンス処理の最初からやり直さなければならなかった。これでは、無駄が多く、また、処理の信頼性に欠ける。

【0010】この発明は、このような従来のフリップフロップ回路など順序回路の問題点を解消し、電源が遮断されてもデータを保持することができる不揮発性の順序回路等を提供することを目的とする。

【0011】

【課題を解決するための手段、発明の作用および効果】請求項1の順序回路および請求項9の半導体装置においては、ゲート部の出力端に結合され、当該出力端に現れる信号に対応した分極状態を保持する強誘電体記憶部を備えたことを特徴とする。

【0012】したがって、ラッチ回路などの順序回路を構成するゲート部の出力端に現れる信号を、当該信号に対応した分極状態の形で強誘電体記憶部が保持している。このため、電源が遮断されても、強誘電体記憶部によってデータが保持されていることになる。

【0013】この結果、電源が回復したときに、保持されている当該データを用いて、当該順序回路の状態を、電源が遮断される前の状態に、確実に速やかに復帰さ

せることが可能となる。すなわち、不揮発性のラッチ回路などの順序回路を実現することができる。

【0014】請求項2の順序回路においては、強誘電体記憶部として、少なくとも一つのトランジスタを強誘電体トランジスタとした相補型金属酸化物半導体(CMOS)インバータ回路を用い、ゲート部の出力端に当該インバータ回路の入力端を結合し、当該インバータ回路の出力端に現れる信号に対応した信号を出力データとして出力するよう構成したことを特徴とする。

10 【0015】したがって、相補型金属酸化物半導体(CMOS)インバータ回路を構成するトランジスタを強誘電体トランジスタとすることにより、順序回路を構成するゲート部の出力端に現れる信号を、当該強誘電体トランジスタに保持することができる。このため、不揮発性の順序回路を、容易に実現することができる。また、順序回路を構成するトランジスタ等の個数を、容易に低減することができる。

【0016】請求項3の順序回路においては、帰還回路を備え、当該帰還回路を介して出力データに対応する信号をゲート部の出力端に帰還させ得よう構成したことを特徴とする。

20 【0017】したがって、帰還路を設けることにより、通常の動作や復帰時の動作を、より安定化させることができる。

【0018】請求項4の順序回路においては、帰還回路として、相補型金属酸化物半導体(CMOS)インバータ回路を用いたことを特徴とする。

30 【0019】すなわち、帰還回路として相補型金属酸化物半導体(CMOS)インバータ回路を用いることで、通常の動作や復帰時の動作を、容易に安定化させることができる。

【0020】請求項5の順序回路においては、帰還回路として用いる相補型金属酸化物半導体(CMOS)インバータ回路を構成する少なくともひとつのトランジスタを、強誘電体トランジスタとしたことを特徴とする。

40 【0021】したがって、帰還路においても、帰還路に現れる信号を、当該信号に対応した分極状態の形で強誘電体トランジスタが保持している。このため、電源が遮断されたあと回復したときに、保持されている当該信号を用いて、当該順序回路の状態を、電源が遮断される前の状態に、より確実に復帰させることが可能となる。

【0022】請求項6の順序回路においては、強誘電体トランジスタは、

- A) 半導体基板に形成された第1導電型のソース領域およびドレイン領域、
- B) ソース領域とドレイン領域との間に配置された第2導電型のチャネル形成領域、
- C) チャネル形成領域の上に配置された絶縁層、
- D) 前記絶縁層の上に配置された第1の導電体層、
- 50 E) 前記第1の導電体層の上に形成された強誘電体層、

F) 強誘電体層の上に形成された第2の導電体層、を有することを特徴とする。

【0023】したがって、強誘電体トランジスタとして、上記構造のトランジスタを用いることで、通常のCMOSインバータ回路の製造工程に、強誘電体層および第2の導電体層を積み上げる工程を追加するだけで、容易に、不揮発性の順序回路を得ることが可能となる。

【0024】請求項7の順序回路および請求項9の半導体装置においては、ゲート制御信号にしたがってデータを継続するゲート部を備え、ゲート部が維持状態のときに、入力データに対応した信号を出力データとして出力し、ゲート部が断状態のときに、実質的に当該断状態となる直前の入力データを保持するとともに当該保持されたデータに対応した信号を出力データとして出力するよう構成した順序回路を直列に2つ結合した構成を有する順序回路であって、結合した2つの順序回路のうち少なくとも一方の順序回路が、請求項1ないし請求項6のいずれかの順序回路であり、入力側の順序回路の出力データを出力側の順序回路の入力データとして出力側の順序回路のゲート部に与え、入力側の順序回路のゲート部を制御するゲート制御信号と出力側の順序回路のゲート部を制御するゲート制御信号とが逆位相となるようにしたことを特徴とする。

【0025】したがって、フリップフロップ回路などの順序回路を構成する2つのラッチ回路などの順序回路のうち、少なくともいずれか一方の順序回路を構成するゲート部の出力端に現れる信号を、当該信号に対応した分極状態の形で強誘電体記憶部が保持している。このため、電源が遮断されても、強誘電体記憶部によってデータが保持されていることになる。

【0026】この結果、電源が回復したときに、保持されている当該データを用いて、当該ラッチ回路などの順序回路の状態を、電源が遮断される前の状態に、確実に速やかに復帰させることが可能となる。すなわち、不揮発性のフリップフロップ回路などの順序回路を実現することができる。

【0027】請求項8のインバータ回路および請求項9の半導体装置においては、Pチャネル金属酸化物半導体電界効果型トランジスタ(P-MOSFET)とNチャネル金属酸化物半導体電界効果型トランジスタ(N-MOSFET)とを直列に接続した構成を有する相補型金属酸化物半導体(CMOS)インバータ回路において、トランジスタのうち少なくとも一つを強誘電体トランジスタとしたことを特徴とする。

【0028】したがって、インバータ回路に現れる信号を、当該信号に対応した分極状態の形で強誘電体トランジスタが保持している。このため、電源が遮断されても、強誘電体トランジスタによってデータが保持されていることになる。

【0029】この結果、電源が回復したときに、保持さ

れている当該データを用いて、当該インバータ回路の状態を、電源が遮断される前の状態に、確実に速やかに復帰させることが可能となる。すなわち、不揮発性のインバータ回路を実現することができる。

【0030】また、相補型金属酸化物半導体(CMOS)インバータ回路を構成するトランジスタを強誘電体トランジスタとすることにより、不揮発性のインバータ回路を、容易に実現することができる。

【0031】なお、請求項において「強誘電体記憶部」とは、強誘電体の履歴特性を用いて情報を記憶する部分をいい、強誘電体トランジスタや強誘電体コンデンサその他のもの、これらを組合せた回路をも含む概念である。実施形態では、図1に示すインバータ回路部INV1、INV3が、これに該当する。

【0032】「強誘電体トランジスタ」とは、強誘電体を用いたトランジスタをいい、いわゆるMFMIS構造のトランジスタやMFS構造のトランジスタ(後述)を含む概念である。実施形態では、図1に示すトランジスタNT、PTが、これに該当する。

【0033】

【発明の実施の形態】図1は、この発明の一実施形態による半導体装置に用いられる順序回路であるフリップフロップ回路8を示す回路図である。フリップフロップ回路8は、順序回路であるラッチ回路LT1(マスターラッチ回路)とラッチ回路LT2(スレーブラッチ回路)とを直列に接続した構成を有する基本的なDフリップフロップ回路である。

【0034】ラッチ回路LT1は、ゲート部であるトランジスタGT1(NチャネルMOSFET)、インバータ回路部INV1、INV2を備えている。インバータ回路部INV1は、CMOSインバータ回路であり、PチャネルMOSFETであるトランジスタPTとNチャネルMOSFETであるトランジスタNTとを直列に接続した構成を備えている。

【0035】トランジスタNTおよびトランジスタPTは、いわゆるMFMIS構造の強誘電体トランジスタ(上から、メタル層、強誘電体層、メタル層、絶縁層、シリコン層をこの順に積層した構成を有するトランジスタ)である。

【0036】図3Aに、トランジスタNTの構造を示す。半導体基板であるp型のシリコン基板20に、n型(第1導電型)半導体で構成されたソース領域22およびドレイン領域24が形成されている。p型(第2導電型)半導体で構成されたチャネル形成領域26の上には、酸化シリコン(SiO₂)による絶縁層28が設けられている。絶縁層28の上にはPoly-Si、IrO₂、Irをこの順に積層した下部導電体層(第1の導電体層)30が設けられている。

【0037】その上にはPZT等により構成された強誘電体層32が設けられている。強誘電体層32は、後述

するように、トランジスタNTの継断状態に対応した分極状態を保持する。

【0038】さらにその上には IrO_2 、Irをこの順に積層した上部導電体層（第2の導電体層）34が設けられている。

【0039】なお、絶縁層28としては上記の他に、窒化シリコン(SiN)等を用いることもできる。また、下部導電体層30、上部導電体層34としては上記の他に、 RuO_x 、ITO等の酸化物導電体や、Pt、Pb、Au、Ag、Al、Ni等の金属を用いることができる。

【0040】図3AのトランジスタNTを記号で表すと、図3Bのようになる。上部導電体層34にはコントロールゲート電極CGが接続されている。下部導電体層30には電極が接続されておらずフローティング状態となっている。ソース領域22にはソース電極Sが接続され、ドレイン領域24にはドレイン電極Dが接続されている。

【0041】コントロールゲート電極CG（インバータ回路の入力端）は、図1に示すラッチ回路LT1のトランジスタGT1の出力端に接続され、ドレイン電極D（インバータ回路の出力端）は、ラッチ回路LT2のトランジスタGT2の入力端に接続され、ソース電極Sは接地されている。

【0042】なお、トランジスタNTとトランジスタPTとは、一方が「Nチャネル型」のMOSFETであり、他方が「Pチャネル型」のMOSFETである点を除き、同様の構成である。すなわち、トランジスタPTも、MFMI S構造の強誘電体トランジスタである。

【0043】図1に戻って、インバータ回路部INV2も、インバータ回路部INV1と同様の構成であるが、電流駆動能力は、インバータ回路部INV1に比較して小さい。この実施形態においては、インバータ回路部INV1が強誘電体記憶部に対応し、インバータ回路部INV2が帰還回路に対応する。

【0044】トランジスタGT1を介して入力された入力データDは、インバータ回路部INV1で反転された後、インバータ回路部INV2で再反転され（すなわち、元に戻され）、ふたたび、インバータ回路部INV1に入力される。つまり、インバータ回路部INV2を有する帰還回路を用いて、データ保持の安定化を図っている。

【0045】ラッチ回路LT1のインバータ回路部INV1の出力（出力データ）は、また、ラッチ回路LT2に入力される。ラッチ回路LT2も、ラッチ回路LT1と同様の構成であり、ゲート部であるトランジスタGT2、インバータ回路部INV3、INV4を備えている。トランジスタGT2は、トランジスタGT1と同様の構成であり、インバータ回路部INV3、INV4は、インバータ回路部INV1、INV2と同様の構成である。

【0046】ラッチ回路LT2の動作も、ラッチ回路LT1のそれと同様である。すなわち、トランジスタGT2を介して入力されたインバータ回路部INV1の出力は、インバータ回路部INV3で反転された後、インバータ回路部INV4で再反転され（すなわち、元に戻され）、ふたたび、インバータ回路部INV3に入力される。つまり、インバータ回路部INV4を有する帰還回路を用いて、データ保持の安定化が図られている。

【0047】ラッチ回路LT2のインバータ回路部INV3の出力は、フリップフロップ回路8の出力Qとなる。また、ラッチ回路LT2のインバータ回路部INV4の出力は、フリップフロップ回路8の反転出力QBとなる。

【0048】ラッチ回路LT2のトランジスタGT2のゲートには、ゲート制御信号であるクロックパルスCpが与えられ、ラッチ回路LT1のトランジスタGT1のゲートには、クロックパルスCpの反転信号であるクロックパルスCpB（制御信号）が与えられる。なお、信号POR（Power On Reset）は、電源投入直後の所定期間のみトランジスタGT1およびトランジスタGT2をOFFにするため“H”となり、その後“L”となるよう構成されている。

【0049】フリップフロップ回路8の動作は、図14に示す従来のフリップフロップ回路2の動作（図15参照）と類似しているが、後述するように、電源が遮断されてもデータを保持している点で、従来のフリップフロップ回路2と異なる。なお、この実施形態においては、フリップフロップ回路2の場合と異なり、クロックパルスCpの立ち上がりのタイミングで入力データDをラッチするようにしている。

【0050】図2に示すタイミングチャートを用いて、フリップフロップ回路8の動作を説明する。なお、図2のPAは、ラッチ回路LT1の出力信号、すなわち、図1のPA点の信号を表す。

【0051】クロックパルスCpが“L”から“H”になると（図2、（a）参照）、ラッチ回路LT1のトランジスタGT1がOFF（断状態）になるとともに、ラッチ回路LT2のトランジスタGT2がON（継状態）になる。したがって、クロックパルスCpの立ち上がり時のデータDn（現在のデータ）に対応するデータ（PA点の信号は、データDnを反転した値になっている）がラッチ回路LT1にラッチされるとともに、出力Qには、当該データDnが出力される。

【0052】つぎに、クロックパルスCpが“H”から“L”になると（図2、（b）参照）、ラッチ回路LT1のトランジスタGT1がON（継状態）になるとともに、ラッチ回路LT2のトランジスタGT2がOFF（断状態）になる。したがって、データDnがラッチ回路LT2にラッチされるとともに、出力Qには、やはり当該データDnが出力される。

【0053】つぎに、クロックパルスCpが“L”から“H”になると(図2、(c)参照)、再び、ラッチ回路LT1のトランジスタGT1がOFF(断状態)になるとともに、ラッチ回路LT2のトランジスタGT2がON(継状態)になる。したがって、クロックパルスCpの立ち上がり時のデータDn+1(つぎのデータ)に対応するデータ(PA点の信号は、データDnを反転した値になっている)がラッチ回路LT1にラッチされるとともに、出力Qには、当該データDn+1が出力される。

【0054】このように、フリップフロップ回路8を用いると、クロックパルスCpの立ち上がりのタイミングでデータをラッチし、クロックパルスCpの1サイクルに相当する時間の間、ラッチした当該データを出力することができる。

【0055】上述のように、フリップフロップ回路8は、従来のフリップフロップ回路2と異なり、電源が遮断されてもデータを保持している。データの保持および再生の動作について説明する。

【0056】上述のように、クロックパルスCpの立ち上がり時、すなわち、クロックパルスCpが“L”から“H”になる(図2、(a)参照)直前のデータDn(この実施形態では、データ“H”)がラッチ回路LT1にラッチされる。図2、(a)の直前におけるインバータ回路部INV1の状態を、図4に示す。

【0057】図4に示すように、インバータ回路部INV1のトランジスタNTのソース電極Sには“L”電位が与えられており、トランジスタPTのソース電極Sには“H”電位が与えられている。

【0058】トランジスタNT、PTのコントロールゲート電極CGは、ともに“H”電位になっている。コントロールゲート電極CGが“H”電位になると、トランジスタNTは“ON”となるとともにトランジスタPTは“OFF”となるように、トランジスタNT、PTそれぞれのしきい値 V_{th} が設定されている。したがって、この場合、トランジスタNT、PTのドレイン電極Dは、ともに“L”電位になっている。

【0059】このような状態において、トランジスタNT、PTの強誘電体層32には、後述するように、所定に分極状態が生じている。すなわち、データ“H”は、トランジスタNT、PTの強誘電体層32生ずる所定の分極状態として、ラッチ回路LT1に書込まれる。

【0060】このあと、クロックパルスCpが立ち上がって“H”になると、トランジスタGT1がOFFとなるが、インバータ回路部INV1およびインバータ回路部INV2による自己ラッチ機能により、トランジスタNTのON状態、およびトランジスタPTのOFF状態は保持される。すなわち、データ“H”がラッチ回路LT1にラッチされた状態になる。

【0061】データ“H”の書込みからラッチ状態にいたる間の、トランジスタNT、PTの状態について説明

する。まず、トランジスタNTの状態について説明する。

【0062】図3A、Bに示すように、トランジスタNTは、上部導電体層34と下部導電体層30との間に形成されたコンデンサである強誘電体容量 C_{ferro} と、下部導電体層30とチャネル領域26との間に形成されたコンデンサであるMOS容量 C_{nos} とを、直列に接続したものと考えることができる。強誘電体容量 C_{ferro} とMOS容量 C_{nos} とを合成したコンデンサをGATE容量 C_{GATE} と呼ぶ。

【0063】図5に、データ“H”を書込む場合におけるトランジスタNTの強誘電体容量 C_{ferro} およびMOS容量 C_{nos} の電圧・電荷特性の一例を示す。

【0064】上述のように、トランジスタNTがONになっているので(図4参照)、チャネル領域26(図3A参照)の電位は、ほぼ接地電位になっている。また、トランジスタNTのコントロールゲート電極CGに“H(V_{DD})”電位が与えられている。したがって、GATE容量 C_{GATE} には、チャネル領域26を基準として+ V_{DD} の電圧が印加される。

【0065】このため、図5に示すように、強誘電体容量 C_{ferro} の状態は、P4になる。同様に、MOS容量 C_{nos} の状態は、S4になる。なお、S4点で示される状態の電荷は、P4点で示される状態の電荷と同じ値である。このときMOS容量 C_{nos} に発生する電圧、すなわち、下部導電体層30(フローティングゲート)に発生する電圧は、 V_2 となっている。

【0066】つぎに、トランジスタPTの状態について説明する。図6に、データ“H”を書込む場合におけるトランジスタPTの強誘電体容量 C_{ferro} およびMOS容量 C_{nos} の電圧・電荷特性を示す。

【0067】上述のように、図4に示すトランジスタPTがOFFになっているので、トランジスタPTのチャネル領域の電位は、ほぼ電源電位 V_{DD} になっている。また、トランジスタPTのコントロールゲート電極CGに“H(V_{DD})”電位が与えられている。したがって、GATE容量 C_{GATE} には、チャネル領域26を基準として、0ボルトの電圧が印加される。

【0068】このため、図6に示すように、強誘電体容量 C_{ferro} の状態はP5になり、MOS容量 C_{nos} の状態はS5になる。強誘電体容量 C_{ferro} とMOS容量 C_{nos} とは直列に接続されているから、P5点およびS5点の電荷は等しくなる。また、P5点およびS5点の電圧の和は0Vとなっているはずである。したがって、P5点の電圧を V_4 とするとS5点の電圧は、絶対値が等しく極性が逆の $-V_4$ となっている。

【0069】つぎに、フリップフロップ回路8の電源(図示せず)を遮断し、その後、電源を再投入した場合の動作を説明する。まず、トランジスタNTの状態について説明する。

11

【0070】ラッチ回路LT1がデータ“H”を記憶した状態のままフリップフロップ回路8の電源を遮断すると、時間の経過に伴って、トランジスタNTの強誘電体容量 C_{ferro} およびMOS容量 C_{nos} に現れる電圧・電荷は、それぞれ、図5のP4点およびS4点で示される状態から、P1点およびS1点で示される状態となる。

【0071】ここで、フリップフロップ回路8の電源を再投入すると、電源投入とともに、MOS容量 C_{nos} に現れる電圧・電荷の状態は、S1点からS3点まで急変する。ここで、S3点で示される状態の電荷は、P1点

で示される状態の電荷と同じ値である。
【0072】この後、時間の経過とともに、強誘電体容量 C_{ferro} およびMOS容量 C_{nos} に現れる電圧・電荷は、それぞれ、図5のP4点およびS4点で示される状態となる。このときMOS容量 C_{nos} に発生する電圧、すなわち、フローティングゲートに発生する電圧は、 V_2 となっている。つまり、トランジスタNTは、電源遮断前と同じ、ON状態となるのである。

【0073】図5に示すように、強誘電体容量 C_{ferro} の状態は、P1からP4に戻ることになる。同様に、MOS容量 C_{nos} の状態は、S1からS3を経てS4に戻る

ことになる。
【0074】つきに、トランジスタPTの状態について説明する。ラッチ回路LT1がデータ“H”を記憶した状態のままフリップフロップ回路8の電源を遮断すると、時間の経過に伴って、トランジスタPTの強誘電体容量 C_{ferro} およびMOS容量 C_{nos} に現れる電圧・電荷は、それぞれ、図6のP5点およびS5点で示される状態から、P2点およびS2点（図5のS1点と同じ状態）で示される状態となる。

【0075】ここで、フリップフロップ回路8の電源を再投入すると、電源投入とともに、MOS容量 C_{nos} に現れる電圧・電荷の状態は、S2点からS6点まで急変する。ここで、S6点で示される状態の電荷は、P2点

で示される状態の電荷と同じ値である。
【0076】この後、時間の経過とともに、強誘電体容量 C_{ferro} およびMOS容量 C_{nos} に現れる電圧・電荷は、それぞれ、図6のP5点およびS5点で示される状態となる。このときMOS容量 C_{nos} に発生する電圧、すなわち、フローティングゲートに発生する電圧、は V_4 となっている。つまり、トランジスタNTは、電源遮断前と同じ、OFF状態となるのである。

【0077】図6に示すように、強誘電体容量 C_{ferro} の状態は、P2からP5に戻ることになる。同様に、MOS容量 C_{nos} の状態は、S2からS6を経てS5に戻る

ことになる。
【0078】つまり、フリップフロップ回路8の電源を遮断し、その後、電源を再投入した場合、ラッチ回路LT1は、電源を遮断する前の状態、すなわち、データ“H”をラッチした状態に復帰することがわかる。

12

【0079】ラッチ回路LT1にデータ“H”がラッチされている場合を例に説明したが、ラッチ回路LT1にデータ“L”がラッチされている場合の動作も、ほぼ同様である。また、ラッチ回路LT1の動作について説明したが、ラッチ回路LT2の動作も、ラッチ回路LT1の動作と、ほぼ同様である。

【0080】フリップフロップ回路8は、ラッチデータの内容にかかわらず、電源を遮断しても当該データを記憶しており、電源の復帰とともに、当該データを再生することができる不揮発性のフリップフロップ回路である。

【0081】このように、このフリップフロップ回路8においては、トランジスタGT1、GT2のそれぞれ出力端に接続され、当該出力端に現れる信号に対応した分極状態を保持するインバータ回路部INV1、INV3を備えている。

【0082】したがって、フリップフロップ回路8を構成するトランジスタGT1、GT2の出力端に現れる信号を、当該信号に対応した分極状態の形でインバータ回路部INV1、INV3が保持している。このため、電源が遮断されても、インバータ回路部INV1、INV3によってデータが保持されていることになる。

【0083】この結果、電源が回復したときに、保持されている当該データを用いて、当該フリップフロップ回路8の状態を、電源が遮断される前の状態に、確実かつ速やかに復帰させることが可能となる。すなわち、不揮発性のフリップフロップ回路を実現することができる。

【0084】なお、電源が回復したときにトランジスタGT1、GT2を介してインバータ回路部INV1、INV3の保持データが不用意に書換えられてしまうことを防止するため、復帰に要する所定期間、前述のように、信号POR（Power On Reset）を“H”とすることで、トランジスタGT1、GT2を断状態にするようにしている。

【0085】また、強誘電体の分極反転に要する時間は短いので、データの書込みに際し、インバータ回路部INV1、INV3が入力データDに対応した分極状態に至るまでの時間は短い。したがって、高速応答が可能となる。

【0086】さらに、強誘電体の場合、データの書込み、消去時に高電圧を要することはない。したがって、チップ内に昇圧回路を設けたり、通常電源の他に高圧電源を別途用意したりする必要がない。このため、チップサイズの増大や製造コストの上昇を抑制することができる。

【0087】また、この実施形態においては、強誘電体記憶部として、一対のトランジスタを強誘電体トランジスタとしたインバータ回路部INV1、INV3を用い、トランジスタGT1、GT2の出力端に、それぞれ、当該インバータ回路部INV1、INV3の入力端

13

を結合し、当該インバータ回路部INV1、INV3の出力端に現れる信号に対応した信号をそれぞれのインバータ回路部INV1、INV3の出力データとして出力するよう構成している。

【0088】したがって、CMOSインバータ回路を構成するトランジスタを強誘電体トランジスタとすることにより、フリップフロップ回路8を構成するトランジスタGT1、GT2の出力端に現れる信号を、当該強誘電体トランジスタに保持することができる。このため、不揮発性のフリップフロップ回路を、容易に実現することができる。また、フリップフロップ回路を構成するトランジスタ等の個数を、容易に低減することができる。

【0089】また、この実施形態においては、信号を所定の規格値に規格化するインバータ回路部INV2、INV4を備え、当該回路を介して出力データに対応する信号をトランジスタGT1、GT2の出力端に、それぞれ帰還させるよう構成している。

【0090】したがって、インバータ回路部INV2、INV4を有する帰還路を設けることにより、通常の動作や復帰時の動作を、より安定化させることができる。

【0091】また、この実施形態においては、インバータ回路部INV2、INV4として、CMOSインバータ回路を用いている。したがって、通常の動作や復帰時の動作を、容易に安定化させることができる。

【0092】また、この実施形態においては、インバータ回路部INV2、INV4を構成するそれぞれ一對のトランジスタを、強誘電体トランジスタNT、PTとしている。

【0093】したがって、帰還路においても、帰還路に現れる信号を、当該信号に対応した分極状態の形で強誘電体トランジスタNT、PTが保持している。このため、電源が遮断されたあと回復したときに、保持されている当該信号を用いて、フリップフロップ回路8の状態を、電源が遮断される前の状態に、より確実に復帰させることが可能となる。

【0094】また、この実施形態においては、トランジスタNT、PTとして、いわゆるMFMI S構造の強誘電体トランジスタを用いている。

【0095】したがって、通常のCMOSインバータ回路の製造工程に、強誘電体層32および上部導電体層34を積み上げる工程を追加するだけで、容易に、不揮発性のフリップフロップ回路を得ることが可能となる。

【0096】なお、上述の実施形態においては、ラッチ回路LT1およびラッチ回路LT2の双方に、強誘電体トランジスタを用いて構成されたCMOSインバータ回路を備えるようにしたが、この発明はこれに限定されるものではない。ラッチ回路LT1またはラッチ回路LT2のいずれか一方、たとえば、ラッチ回路LT1にのみ強誘電体トランジスタを用いて構成されたCMOSインバータ回路を備えるようにすることもできる。

14

【0097】また、フリップフロップ回路を構成するラッチ回路、たとえばラッチ回路LT1、に含まれるインバータ回路部INV1およびインバータ回路部INV2の双方に強誘電体トランジスタを用いるよう構成したが、インバータ回路部INV1およびインバータ回路部INV2の一方、たとえばインバータ回路部INV1にのみ強誘電体トランジスタを用いるよう構成することもできる。

【0098】また、インバータ回路部INV2にのみ強誘電体トランジスタを用いるように構成することもできる。このようにすれば、トランジスタNTまたはトランジスタPTがOFF状態のときに漏れ電流が流れるような素子設計をしたとしても、インバータ回路部INV2の電流駆動能力自体が小さいことから、漏れ電流に起因する消費電力をより低く抑えることができる。

【0099】また、インバータ回路部、たとえばインバータ回路部INV1、を構成するトランジスタNT、PTの双方を強誘電体トランジスタとしたが、トランジスタNT、PTの一方、たとえばトランジスタNTのみを強誘電体トランジスタとするよう構成することもできる。

【0100】また、上述の実施形態においては、帰還用のインバータ回路部INV2、INV4を設けるよう構成したが、この発明はこれに限定されるものではない。たとえば、図7に示すフリップフロップ回路10のように、ラッチ回路LT1、LT2ともに、帰還用のインバータ回路部INV2、INV4（図1参照）を省略することもできる。

【0101】これは、以下の理由による。回路内の各配線とグラウンドとの間には寄生容量が存在するため、これらの配線がフローティング状態となっても、該配線の電位はしばらく維持される。したがって、クロックパルスCpの周期がそれほど長くない限り、帰還用のインバータ回路部INV2、INV4（図1参照）を省略したとしても、ラッチ回路LT1またはラッチ回路LT2のラッチ内容は保持されるからである。

【0102】また、上述の実施形態においては、ゲート部としてトランジスタGT1、GT2を用いたが、ゲート部はこれに限定されるものではない。ゲート部として、たとえば、伝送ゲートやクロックドCMOSインバータ等を用いることもできる。

【0103】なお、上述の各バリエーションは、以下に述べる種々の他の実施形態においても、同様に適用することができる。

【0104】上述の各実施形態においては、基本的なDフリップフロップ回路を例に説明したが、この発明はこれに限定されるものではない。たとえば、S-R（セット・リセット）付きのDフリップフロップ回路や、J-Kフリップフロップ回路など、フリップフロップ回路一般に適用することができる。

【0105】図8に、この発明を適用したS-R（セット・リセット）付きのDフリップフロップ回路の一例であるフリップフロップ回路12の回路図を示す。図9は、フリップフロップ回路12の動作を示すテーブルである。

【0106】フリップフロップ回路12は、図1に示すフリップフロップ回路8と同様に、順序回路であるラッチ回路LT1（マスターラッチ回路）とラッチ回路LT2（スレーブラッチ回路）とを直列に接続した構成を有する。

【0107】ラッチ回路LT1を構成するインバータ回路部INV1は、強誘電体トランジスタNT、PTを備えたCMOSインバータ回路CI1と、4つのトランジスタとを備えている。該4つのトランジスタのゲートは、セット端子S、リセット端子Rに、適当に接続されている。

【0108】図9に示すように、リセット端子Rに信号“H”を入力することにより、フリップフロップ回路12の記憶内容をリセット（クリア）することができ、リセット端子Rおよびセット端子Sに信号“L”を入力することにより、フリップフロップ回路12の記憶内容をセット（プリセット）することができる。

【0109】また、リセット端子Rに信号“L”を与えると同時にセット端子Sに信号“H”を与えておけば、上述のフリップフロップ回路8（図1参照）と同様の働きをする。なお、信号POR（Power On Reset）は、フリップフロップ回路8の場合と同様に、電源投入直後の所定期間のみ“H”となり、その後“L”となるよう構成されている。また、信号PORが“H”の期間、リセット端子Rに信号“L”が与えられるとともにセット端子Sに信号“H”が与えられるよう構成されている。

【0110】インバータ回路部INV2は、強誘電体トランジスタNT、PTを備えたCMOSインバータ回路CI2と、2つのトランジスタDNT、DPTを備えている。トランジスタDNTのゲートには電源電圧が印加されており、トランジスタDPTのゲートは接地されている。なお、トランジスタDNT、DPTは、インバータ回路部INV2の電気的特性をインバータ回路部INV1の電気的特性に合わせるためのトランジスタであり、省略することもできる。

【0111】ラッチ回路LT2も、ラッチ回路LT1と同様の構成であり、インバータ回路部INV3、INV4を備えている。インバータ回路部INV3、INV4は、インバータ回路部INV1、INV2と同様の構成である。

【0112】このように、フリップフロップ回路12は、セット端子S、リセット端子Rを備えていること、および、インバータ回路部INV1、INV2、INV3、INV4がやや複雑になっていることを除けば、図1に示すフリップフロップ回路8と同様の構成である。

【0113】図10Aは、この発明を適用したJ-Kフリップフロップ回路の一例であるフリップフロップ回路14の回路図を示す。図10Bは、フリップフロップ回路14の動作を示すテーブルである。

【0114】フリップフロップ回路14は、図1に示すフリップフロップ回路8と、複数の論理ゲートを組合せた論理ゲート部LGとを備えている。論理ゲート部LGには、入力として、入力端子Jからの入力、入力端子Kからの入力、および、フリップフロップ回路8からの出力Qが与えられる。論理ゲート部LGの出力は、フリップフロップ回路8の入力端子Dに与えられる。

【0115】図10Bに示すように、入力端子Jに信号“H”を与えると同時に入力端子Kに信号“L”を与えれば、クロックパルスCpの立上がりで、出力Qからデータ“H”が出力される。逆に、入力端子Jに信号“L”を与えると同時に入力端子Kに信号“H”を与えれば、クロックパルスCpの立上がりで、出力Qからデータ“L”が出力される。

【0116】また、入力端子Jおよび入力端子Kの双方に信号“H”を与えれば、クロックパルスCpの立上がりで、出力Qの内容が反転する。一方、入力端子Jおよび入力端子Kの双方に信号“L”を与えれば、出力Qの内容は保持される。

【0117】なお、上述の各実施形態においては、順序回路としてフリップフロップ回路を例に説明したが、この発明はこれに限定されるものではない。順序回路として、たとえばラッチ回路にも、この発明を適用することができる。

【0118】図11Aは、この発明を適用したラッチ回路の一例であるラッチ回路16を示す回路図である。図11Bは、ラッチ回路16の動作を示すテーブルである。ラッチ回路16は、図1に示すフリップフロップ回路8を構成するラッチ回路LT1と、ほぼ同様の構成である。

【0119】すなわち、ラッチ回路16は、ゲート部であるトランジスタGT（NチャネルMOSFET）、インバータ回路部INV1、INV2を備えている。インバータ回路部INV1は、CMOSインバータ回路であり、PチャネルMOSFETであるトランジスタPTとNチャネルMOSFETであるトランジスタNTとを直列に接続した構成を備えている。

【0120】トランジスタNTおよびトランジスタPTは、ともに、いわゆるMFMIS構造の強誘電体トランジスタである。トランジスタNTとトランジスタPTとは、一方が「Nチャネル型」のMOSFETであり、他方が「Pチャネル型」のMOSFETである点を除き、同様の構成である。インバータ回路部INV2も、インバータ回路部INV1と同様の構成である。この実施形態においては、インバータ回路部INV1が強誘電体記憶部に対応し、インバータ回路部INV2が掃退回路に

対応する。

【0121】トランジスタGTを介して入力された入力データDは、インバータ回路部INV1で反転された後、インバータ回路部INV2で再反転され（すなわち、元に戻され）、ふたたび、インバータ回路部INV1に入力される。つまり、インバータ回路部INV2を有する帰還回路を用いて、データ保持の安定化を図っている。これも、上述のラッチ回路LT1（図1参照）の場合と、同様である。

【0122】インバータ回路部INV2の出力Qが、ラッチ回路16の出力となる。また、インバータ回路部INV1の出力QBが、ラッチ回路16の反転出力となる。ラッチ回路16のトランジスタGTのゲートには、ゲート制御信号であるクロックパルスCpが与えられる。

【0123】図11Bに示すように、クロックパルスCpが“H”のとき、出力Qからは入力データDが、そのまま出力される。すなわち、ラッチ回路16はアンラッチ状態となる。一方、クロックパルスCpが“L”になると、出力Qの値は保持される。すなわち、ラッチ回路16はラッチ状態となる。

【0124】ラッチ回路16は、上述の各フリップフロップ回路と同様に、電源が遮断されてもデータを保持することができ、電源が復帰すると、電源が遮断される直前の状態に復帰する。

【0125】上述の各実施形態においては、順序回路を例に説明したが、この発明はこれに限定されるものではない。たとえばCMOSインバータ回路にも、この発明を適用することができる。

【0126】図12Aは、この発明を適用したCMOSインバータ回路の一例であるインバータ回路18を示す回路図である。図12Bは、インバータ回路18の動作を示すテーブルである。インバータ回路18は、図1に示すフリップフロップ回路8を構成するインバータ回路部INV1と、ほぼ同様の構成である。

【0127】すなわち、インバータ回路18は、PチャネルMOSFETであるトランジスタPTとNチャネルMOSFETであるトランジスタNTとを直列に接続した構成を備えている。トランジスタNTおよびトランジスタPTは、ともに、いわゆるMFMI S構造の強誘電体トランジスタである。トランジスタNTとトランジスタPTとは、一方が「Nチャネル型」のMOSFETであり、他方が「Pチャネル型」のMOSFETである点を除き、同様の構成である。

【0128】図12Bに示すように、入力データINを反転したデータが、出力データOUTとなる。インバータ回路18においても、上述の各実施形態の場合と同様に、電源が遮断されてもデータを保持することができ、電源が復帰すると、電源が遮断される直前の状態に、確実かつ速やかに復帰する。

【0129】なお、上述の各実施形態においては、強誘電体トランジスタとして、いわゆるMFMI S構造の強誘電体トランジスタを例に説明したが、強誘電体トランジスタはこれに限定されるものではない。強誘電体トランジスタとして、たとえば、図13Aに示すようなトランジスタNTを用いることもできる。

【0130】図13Aに示すトランジスタNTは、nチャネルMOSFETである。半導体基板であるp型のシリコン基板20に、n型半導体で構成されたソース領域22とドレイン領域24が形成されている。p型半導体で構成されたチャネル領域26の上には、PZT等の強誘電体材料で構成した強誘電体層32が設けられている。強誘電体層32の上には、導電体層40が設けられている。

【0131】この構造のタイプのトランジスタを、MFS構造のトランジスタ（上から、メタル層、強誘電体層、シリコン層をこの順に積層した構造を有するトランジスタ）という。なお、強誘電体層とシリコン層（半導体基板）との間に絶縁物質を介在させたMFIS構造のトランジスタを用いることもできる。

【0132】図13AのトランジスタNTを記号で表すと、図13Bのようになる。導電体層40にはゲート電極Gが接続されている。ソース領域22にはソース電極Sが接続され、ドレイン領域24にはドレイン電極Dが接続されている。

【0133】このトランジスタNTは、通常のMOSFETの絶縁層を、シリコン酸化物ではなくPZT等の強誘電体材料で構成したトランジスタである。したがって、従来のSRAM等に用いる記憶用トランジスタの材料を一部変更するだけで、容易に不揮発性の順序回路等を得ることができる。なお、pチャネルMOSFETトランジスタPTについても、図13Aに示すトランジスタNTと同様の構成のものを用いることができる。

【0134】また、強誘電体記憶部は、強誘電体トランジスタに限定されるものではない。たとえば、強誘電体コンデンサを用いることもできる。この場合、たとえば、図1に示す強誘電体トランジスタNTの代わりに、通常のMOSFETのゲート電極に強誘電体コンデンサを直列に接続したものをを用いればよい。

【0135】このように構成すれば、従来のフリップフロップ回路等に用いる通常のMOSFETをそのまま用いるとともに、新たに強誘電体コンデンサを追加するだけで、容易に不揮発性のフリップフロップ回路等を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態による半導体装置に用いられる順序回路であるフリップフロップ回路8を示す回路図である。

【図2】フリップフロップ回路8の動作を説明するためのタイミングチャートである。

【図3】図3Aは、トランジスタNTの構造を示す図面である。図3Bは、図3AのトランジスタNTを記号で表した図面である。

【図4】インバータ回路部INV1にデータ”H”を書込む場合の動作を説明するための図面である。

【図5】データ”H”を書込む場合におけるトランジスタNTの強誘電体容量 C_{ferro} およびMOS容量 C_{nos} の電圧・電荷特性を示す図面である。

【図6】データ”H”を書込む場合におけるトランジスタPTの強誘電体容量 C_{ferro} およびMOS容量 C_{nos} の電圧・電荷特性を示す図面である。

【図7】この発明の他の実施形態による半導体装置に用いられる順序回路であるフリップフロップ回路10を示す回路図である。

【図8】この発明のさらに他の実施形態による半導体装置に用いられる順序回路であるフリップフロップ回路12を示す回路図である。

【図9】フリップフロップ回路12の動作を示すテーブルである。

【図10】図10Aは、この発明を適用したJ-Kフリップフロップ回路の一例であるフリップフロップ回路1

4の回路図である。図10Bは、フリップフロップ回路14の動作を示すテーブルである。

【図11】図11Aは、この発明を適用したラッチ回路の一例であるラッチ回路16を示す回路図である。図11Bは、ラッチ回路16の動作を示すテーブルである。

【図12】図12Aは、この発明を適用したCMOSインバータ回路の一例であるインバータ回路18を示す回路図である。図12Bは、インバータ回路18の動作を示すテーブルである。

【図13】図13Aは、トランジスタNTの他の構造の例を示す図面である。図13Bは、図13AのトランジスタNTを記号で表した図面である。

【図14】従来の順序回路の一例であるフリップフロップ回路2の回路図である。

【図15】図14に示すフリップフロップ回路2の動作を表わすタイミングチャートである。

【符号の説明】

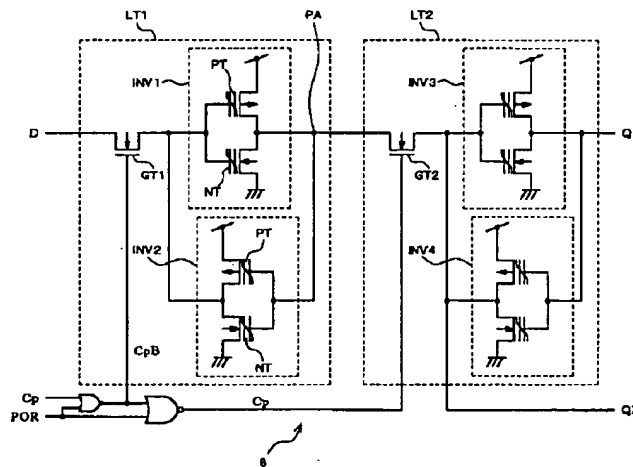
32・・・強誘電体層

INV1・・・インバータ回路部

NT・・・トランジスタ

PT・・・トランジスタ

【図1】

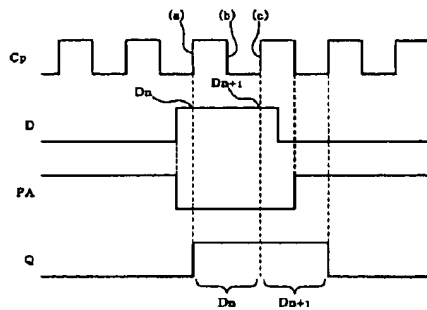


【図9】

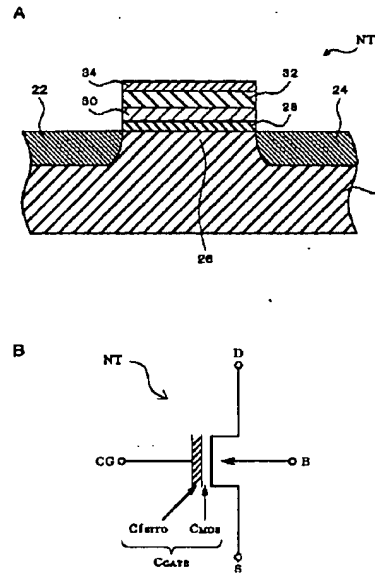
POR	R	S	D	Cp	Q	QB
L	H	*	*	*	L	H
L	L	L	*	*	H	L
L	L	H	H		H	L
L	L	H	L		L	H
L	L	H	*		変化せず	
H	L	H	*	*	保持データへの復帰	

*: "H"又は"L"

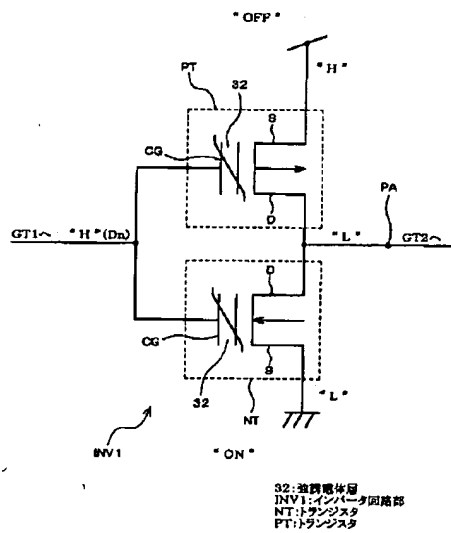
【図2】



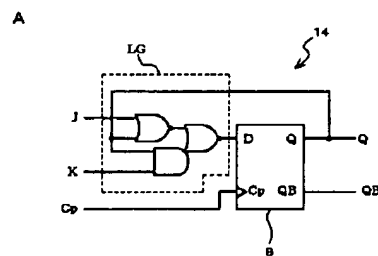
【図3】



【図4】



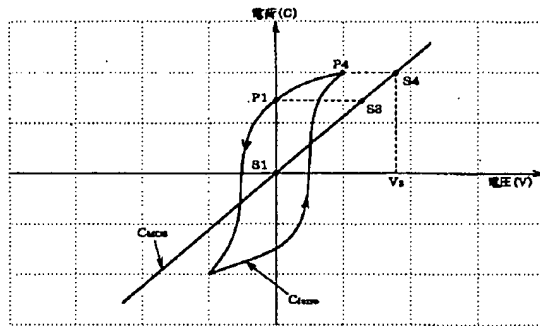
【図10】



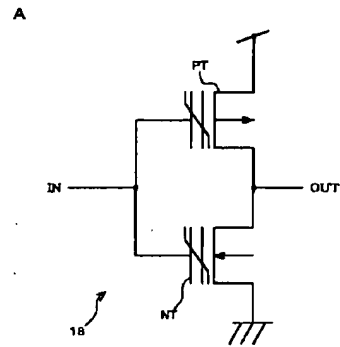
J	K	C _n	Q	Q _B
H	L		H	L
L	H		L	H
H	H		変化せず	変化せず
L	L		変化せず	変化せず
*	*		変化せず	変化せず

*: "H"又は"L"

【図5】



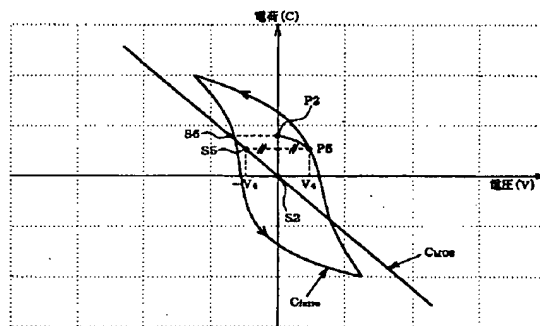
【図12】



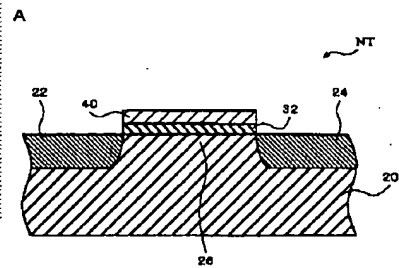
B

IN	OUT
H	L
L	H

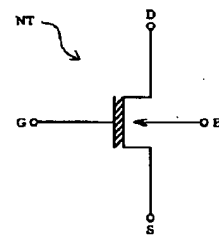
【図6】



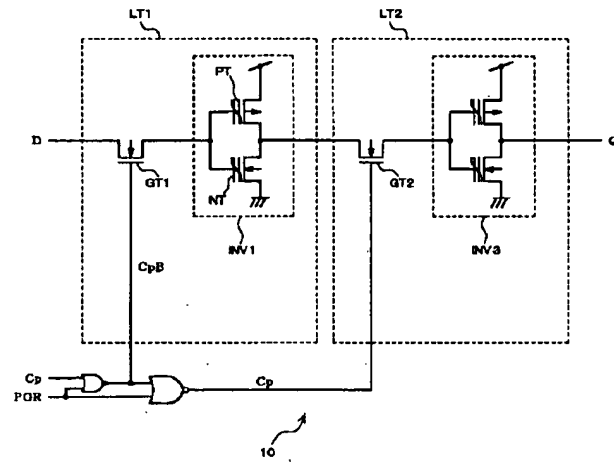
【図13】



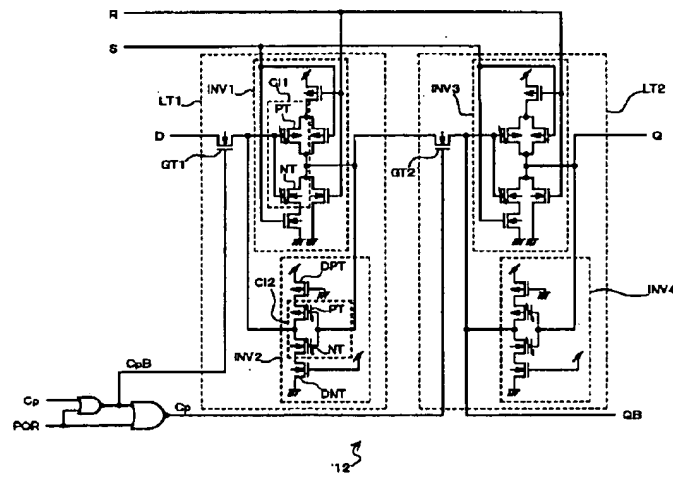
B



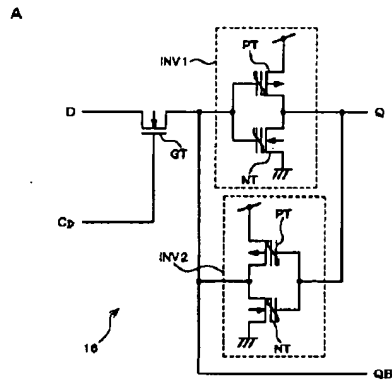
【図7】



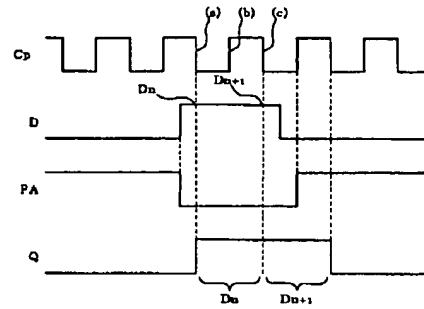
【図8】



【図11】



【図15】



B

D	Cp	Q	QB
H	H	H	L
L	H	L	H
*	L	変化せず	

*: "H"又は"L"

【図14】

